

## (12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
8 August 2002 (08.08.2002)

PCT

(10) International Publication Number  
WO 02/061443 A1

(51) International Patent Classification<sup>7</sup>: G01R 31/06 (74) Agent: ROSENBLATT, Gregory, S.; Wiggin & Dana LLP, One Century Tower, New Haven, CT 06508-1832 (US).

(21) International Application Number: PCT/US02/02722

(22) International Filing Date: 30 January 2002 (30.01.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:  
60/265,244 31 January 2001 (31.01.2001) US  
09/953,599 17 September 2001 (17.09.2001) US

(71) Applicant: WENTWORTH LABORATORIES, INC. [US/US]; 101 Commerce Drive, Brookfield, CT 06804 (US).

(72) Inventors: MCQUADE, Francis, T.; 99 Caruso Drive, Watertown, CT 06795 (US). KUKTELKA, Zbigniew; 39 Farmington Avenue B-2, Plainville, CT 06062 (US). THIESSEN, William, F.; 103 Currituck Road, Newtown, CT 06470 (US). EVANS, Stephen; 11 Old Purdy Station Road, Newtown, CT 06470 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

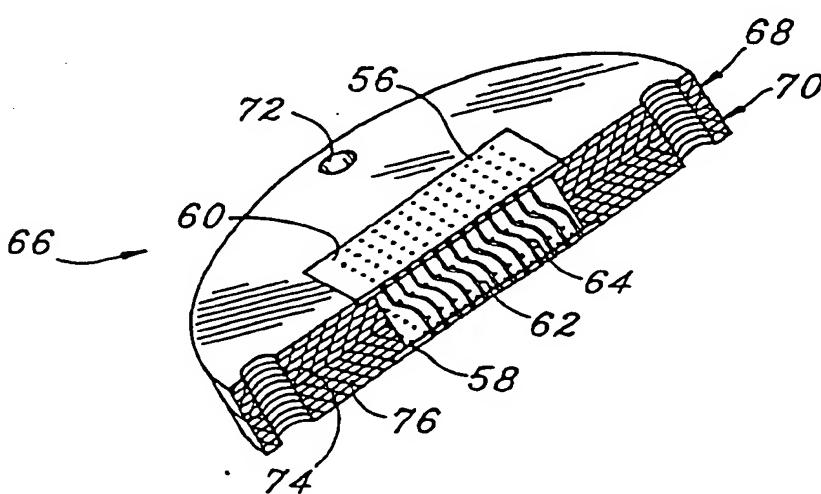
(84) Designated States (regional): Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

## Published:

— with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: NICKEL ALLOY PROBE CARD FRAME LAMINATE



(57) Abstract: A probe head assembly (66) for use in a vertical pin probing device of the type used to electrically test integrated circuit devices has a metallic spacer (74, 76) portion formed from a plurality of laminated metallic layers (74a-74e, 76a-76e). The laminated metallic layers (74a-74e, 76a-76e) are formed from a low coefficient of thermal expansion metal, such as Invar, a 36 % nickel-64 % iron alloy. By orienting the metallic grains of the laminated metal layers (74a-74e, 76a-76e) to be off-set from the orientation of metallic grains of adjacent foil layers (74a-74e, 76a-76e), increased strength and flatness is achieved.

WO 02/061443 A1

## NICKEL ALLOY PROBE CARD FRAME LAMINATE

## BACKGROUND OF THE INVENTION

(1) Field of the Invention

5        The invention relates to a combination of an upper die and a lower die that guides small diameter test pins in semiconductor test equipment, such as a vertical pin probing device. More particularly, the upper die and the lower die have an apertured frame portion formed by laminating a plurality of relatively thin metallic layers of a low coefficient of thermal expansion (CTE) alloy. A low CTE ceramic insert having an array of holes seals  
10      the aperture and guides the small diameter test pins.

(2) Description of the Related Art

15      The manufacture of integrated circuits has progressed to where on the order of hundreds of individual integrated circuit (IC) chips are formed by photolithography on a single, relatively large, on the order of 20.3 cm (8 inch) in diameter silicon wafer. After manufacture and test, the individual chips are singulated for assembly into individual devices. Since it is easier to handle the relatively large silicon wafers, functionality testing of the chips is preferably conducted prior to singulation. A number of test devices are available to test the chips on the wafer. Integrated circuits in their wafer state are tested  
20      using probing devices, the probes of which are traditionally of cantilevered or vertical configuration. In a known type of vertical pin probing device, the probes are held between spaced upper and lower dies and are generally curved with a straight portion that protrudes substantially perpendicular through the lower die of the housing. As the wafer under test is raised into contact with the probing device, and then overdriven a few thousandths of an  
25      inch, the probes recede into the housing and the curved portion of the probe deflects causing spring force that provides good electrical contact with the integrated circuit pads.

Traditionally, the housing that guides the probe pins is made from a dielectric material, often a plastic such as Delrin®, trademark of E.I. duPont de Nemours & Co, Wilmington, DE. A number of IC test protocols involve testing chip functionality at two or more different temperatures, for example, 0°C and 135°C (32°F and 275°F). The plastic prior art probe housing expands with a significantly higher thermal expansion rate than that of the silicon base material of the IC wafer under test. The expansion differential

causes a mismatch of the probe locations and the IC pad locations, a condition that not only results in failure to make satisfactory electrical contact, but may result in fatal damage to the IC due to probe penetration in the circuit region of the IC.

One solution to this problem is to dimensionally compensate the room temperature pitch dimensions of probes in the housing so that at the specified test temperature it will have expanded to provide a nearly exact match of probe and pad positions. Except for temperatures within a narrow range, this option requires separate probe devices for each specific temperature, thus greatly increasing the user's monetary investment in probe devices.

Another solution would be to find a plastic or other suitable dielectric that matches the coefficient of thermal expansion of the silicon wafer. To date, however, the most practical choices of dielectric materials have expansion rates much higher than silicon. Plastics generally have a limited high temperature capability, thereby preventing their uses for high temperature probing of IC's.

United States patent number 6,163,162 entitled, "Temperature Compensated Vertical Pin Probing Device" discloses forming the portion of the housing that guides the pins from a low CTE metal, Invar. Invar is a trademark of Imphy, S.A. Invar is an alloy having a nominal composition, by weight, of 36% nickel and 64% iron and a CTE that is approximately equal to that of silicon.

Invar is electrically conductive. To prevent the housing from electrically shorting the pins, the patent discloses coating the pin guiding recesses with a dielectric such as a polymer or ceramic. The dielectric may be disposed into the recesses as either a coating or as an insert. A disclosed polymer is Vespel®, a trademark of DuPont. A disclosed ceramic is Macor®, a trademark of Corning Glass Works, Corning, NY. Typically, if the dielectric is a ceramic, an anti-stick coating is applied to the ceramic. A suitable anti-stick coating is disclosed to be XYLAN® manufactured by Whitford Corporation.

United States patent number 6,297,657 entitled, "Temperature Compensated Vertical Probing Device" discloses that rather than the die housing being a machined block of Invar, multiple layers of Invar foil may be coated with an adhesive and laminated together to form the die housing. This construction is also electrically conductive and requires the pin guiding recesses to be coated with a suitable dielectric.

5 Spacing between circuit traces on the chips under test are on the order of a few microns. As a result, the probe head assembly has extremely tight tolerances. The frame must be extremely flat and accurately machined. This has proven cumbersome for Invar frames having a thickness of 0.004 mm (0.1 mm) that may further contain machined pockets with a depth on the order of 2.29 mm (0.09 inch) for holding up to 4000 probes with a 0.15 mm (0.006 inch) pitch. In addition to the time and expense associated with complex, traditional machining processes, removing large amounts of metal across a thin frame tends to stress and deform the frame resulting in high rates of rejection for the finished machined part.

10 There therefore exists a need for a relatively low-cost process for the manufacture of probe card frames characterized by precision forming, a low rate of rejection and a substantial absence of internal stresses imparted by machining.

#### BRIEF SUMMARY OF THE INVENTION

15 The above-stated objects, features and inventions will become more apparent from the specification and drawings that follow.

#### BRIEF DESCRIPTION OF THE DRAWINGS

20 Fig. 1 is a cross sectional view of a vertical pin probing device as known from the prior art.

Fig. 2 is a magnified cross sectional view of a die portion of the vertical pin probing device of Fig. 1.

25 Fig. 3 is a top planar view of a die in accordance with the invention for use in a vertical pin probing device.

Fig. 4 is a cross-sectional view of the die of Fig. 3.

Fig. 5 is a magnified cross-sectional view of a portion of the die of Fig. 3.

Fig. 6 is a top planar view of a die in accordance with an alternative embodiment of the invention for use in a vertical pin probing device.

30 Fig. 7 is a cross-sectional view of the die of Fig. 6.

Fig. 8 is a magnified cross-sectional view of a portion of the die of Fig. 6.

Fig. 9 is a schematic diagram of how a metal strip acquires an anisotropic grain structure during rolling as known from the prior art.

Fig. 10 is a perspective view of die lamination layers oriented according to grain structure in accordance with an embodiment of the invention.

5 Fig. 11 shows in block diagram a method for the manufacture of a die frame for use with the die of Fig. 6.

#### DETAILED DESCRIPTION

Figs. 1 and 2 illustrate a vertical pin probing device used with an interconnecting 10 device called a "space transformer" and a printed circuit board as known from the prior art. With reference to Fig. 1, a printed circuit test board 10 sometimes called a "probe card" includes conductive traces 12 which are connected in test circuit relationship to integrated circuit test equipment (not shown). In practice, the traces 12 lead to "pogo pads" on the printed circuit board, to which the external test equipment leads are connected in a 15 prescribed test. An integrated circuit 14 or other device under test is supported on a movable chuck 16. Integrated circuit 14 typically has a pattern or matrix of contact pads to be simultaneously probed by a vertical-pin integrated circuit probe head assembly 18, such as the COBRA® probe head sold by Wentworth Laboratories of Brookfield, CT. Typically, the IC will be one of a large number of chips have circuit features that were 20 formed by photolithography on a silicon, or gallium arsenide, wafer. After testing, the chips are separated, sometimes referred to as singulation. Probing device 18 includes a first die 20 with an array of first holes and second die 22 with an array of second holes separated by a spacer 24 and carrying multiple vertical pin probes 26, 28. The die materials are typically made of a plastic insulating material such as Delrin® acetyl resin.

25 Fig. 2 is an enlarged cross-sectional view that illustrates representative probe 26 which includes a probe tips 26a protruding from one of the first array of holes 21 and probe head 26b protruding from one of the second array of holes 23. The holes 21, 23 containing the opposite ends of the vertical probe pin 26 are slightly offset from one another and the probe pins are curved in a snake-like configuration to promote buckling, 30 so as to create substantially uniform contact pressure on the integrated circuit pad 14a despite any slight vertical unevenness or misalignment.

With reference back to Fig. 1, space transformer 29 includes a mounting block 30 with a well 32 formed therein. At the bottom of the well, a number of holes 34 are laid out to dimensionally correspond to a first small inner pattern defined by the exposed heads 26b of the probe head assembly 18. The probe head assembly 18 is shown separated from the space transformer 29 for clarity but is connected thereto in actual operation by screws (not shown).

Individual insulated wire 36 is connected to PCB trace 12 at one end ... on the other end, the wire extends into a hole 34 in the mounting block 30 ... as to be in electrical contact with probe head 26b on the underside of block 30 ... on the probe head assembly 18 is bolted to the space transformer 29.

Space transformer 29 is attached to the PC board by means such as screws 38, and an epoxy potting compound 39 immobilizes wire 36. The probe head assembly 18 is attached to the underside of space transformer 29 by screws (not shown), so that probe head 26b makes electrical contact with wire 36. The integrated circuit 14 has a number of spaced contact pads 14a that are in physical contact, and electrical continuity, with probe tip 26a during a functionality test. If the coefficient of thermal expansion of the die material is substantially different from the coefficient of thermal expansion of the silicon wafer (approx.  $1.6 \times 10^{-6}$  inch/inch/ $^{\circ}$ F that is approx.  $2.8 \times 10^{-6}$  m/m/ $^{\circ}$ K) probe tip 26a may not effectively contact the contact pad 14a over a range of test temperatures.

Referring now to Figs. 3, 4 and 5, the improved temperature compensated vertical pin probe head assembly is indicated generally by reference numeral 40 and include a first die member 42 and a second die member 44. The dies are held together and mounted to the mounting block 30 (shown in Fig. 1) by screws or other fasteners (not shown) passing through suitably placed holes 46 around the perimeter. Each of the first and the second die members 42, 44 includes a spacer member 48, 50 respectively with an aperture 52, 54 respectively. The apertures 52, 54 may be any suitable shape to conform to the IC under test and are typically rectangular in shape. The apertures 52, 54 are sealed by a thin dielectric sheet 56, 58 respectively.

The spacer members 48, 50 are fabricated from a substrate core material having a coefficient of thermal expansion as close as possible to that of the silicon making up the circuit substrate. One preferred material is Invar. Invar has a coefficient of thermal expansion of  $1.0 \times 10^{-6}$  inch/inch/ $^{\circ}$ F ( $1.8 \times 10^{-6}$  meter/meter/ $^{\circ}$ K) at a nominal weight

composition of 36% nickel, which is slightly less than that of silicon. The thermal coefficient of expansion may be varied so as to coincide exactly with that of silicon, if desired, by adjusting the percentage of nickel in the alloy as known in the art. (Sisco, Modern Metallurgy for Engineers 2nd Edition p. 299). Other low CTE metals and metal alloys having a CTE within about  $4 \times 10^{-6}$  inch/inch/ $^{\circ}$ F ( $7 \times 10^{-6}$  m/m/ $^{\circ}$ K) that of silicon may also be used.

Dielectric sheets 56, 58 are formed from any rigid dielectric having a CTE within about  $4 \times 10^{-6}$  inch/inch/ $^{\circ}$ F ( $7 \times 10^{-6}$  m/m/ $^{\circ}$ K) that of silicon and maintain structural integrity over the range of test temperatures. Suitable materials include ceramics and glasses with silicon nitride ceramic (CTE =  $1.7 \times 10^{-6}$  inch/inch/ $^{\circ}$ F ( $3.0 \times 10^{-6}$  m/m/ $^{\circ}$ K) being most preferred.

As previously known in the art, probe pins 64 extend between the pattern of spaced and offset holes 60, 62 in the dielectric sheets 56, 58 supported by spacer members 48, 50 of first and second die members 42, 44 respectively. One end of the probe pin 64 terminates in probe tip 64a which is disposed and makes electrical contact with wires (such as 36 of Fig. 1) leading to the printed circuit test board. The opposing end of the probe pin 64 terminates in a probe tip 64b which slides in hole 62 in known manner during probing of a wafer under test.

Referring to the cross sectional view of Fig. 4 taken along lines A-A of Fig. 3, it is seen that the periphery of the first dielectric sheet 56 is mounted on a first surface 65 of spacer member 48 and second dielectric sheet 58 is mounted on a first surface 67 of spacer member 50, so that the two dielectric sheets are held apart in spaced relationship. The first dielectric sheet 56 contains a plurality of holes 60 drilled by laser or other suitable means in a predetermined first pattern of holes. The second dielectric sheet 58 contains a plurality of holes 62 similarly drilled by laser or other suitable means in the same predetermined pattern, except that the pattern is offset from the first pattern by a small amount, typically on the order of 0.51 mm (0.02 inch).

With reference to the enlarged cross sectional drawing of Fig. 5, which is not to scale, aperture 52 in spacer member 48 is enlarged about its periphery in the first surface 65 to provide a ledge 52a, and a similar peripheral ledge 54a is provided in the first surface of spacer member 50. The first dielectric sheet 56 is relatively thin (nominally 0.25 mm (0.01 inch) and the second dielectric sheet is also relatively thin, but typically thicker

ミックのような誘電体でピンガイドリセスを被覆することを開示している。誘電体は、被覆またはインサートとしてリセス内に配置することが可能である。開示されているポリマは、Vesper (登録商標) で、DuPontの商標名である。開示されたセラミックは、Macre (登録商標) で、Coming Glass Works, Coming, NYの商標名である。典型的に、誘電体がセラミックであるならば、アンチステイック被覆がセラミックに適用される。開示されている適切なアンチステイック被覆は、Whitford Corporation 製造のXYLANX (登録商標) である。

#### 【0008】

米国特許第6, 297, 657号、表題「Temperature Compensated Vertical Probing Device」は、ダイハウジングがアンバーの加工ブロックであるよりも、むしろ多層のアンバーホイルを接着剤で被覆し、かつ共にラミネートして、ダイハウジングを形成し得ることを開示している。この構造も導電性であり、ピンガイドリセスを適切な誘電体で被覆することが必要である。

#### 【0009】

試験下のチップ上の回路トレースの間の間隔は、数ミクロンのオーダにある。この結果、プローブヘッド組立体は極めてきつい許容差を有する。フレームは極めて平坦にかつ正確に機械加工されなければならない。これは、0. 15 mm (0. 006インチ) のピッチを有する最高4000のプローブを保持するために、2. 29 mm (0. 09インチ) のオーダの深さを有する機械加工されたポケットを収容し得る2. 54 mm (0. 1インチ) のオーダの厚さを有する大きなアンバーフレームにとって面倒であることが示されている。複雑な従来の機械加工工程に関連した時間と費用に加えて、薄いフレームを横切って大量の金属を除去することは、フレームに応力を及ぼして変形する傾向を有し、機械加工された完成部分の高い排除率をもたらす。

#### 【0010】

したがって、精密形成と、低い排除率と、機械加工によって与えられる内部応力の本質的な欠如とを特徴とするプローブカードフレームを製造するための比較的

低成本の工程の必要性が存在する。

【0011】

(発明の概要)

上述の目的、特徴および発明は明細書および以下の図面からより明白になるであろう。

【0012】

(詳細な説明)

図1と図2は、「スペーストランスマッパー」と呼ばれる相互接続装置と共に使用される垂直ピンプローブ装置と、従来技術から公知のようなプリント回路基板とを示している。図1を参照すると、時に「プローブカード」と呼ばれるプリント回路テストボード10は、集積回路試験装置(図示せず)にテスト回路関係で接続される導電性トレース12を含む。実際に、トレース12は、プリント回路基板上の「ポゴパッド」に通じ、このパッドに、所定の試験の際に試験装置の外部リードが接続される。試験下の集積回路14または他の装置は、移動可能なチャック16上に支持される。集積回路14は、典型的に、Wentworth Laboratories of Brookfield, CTによって販売されているCOBRA(登録商標)プローブヘッドのような垂直ピン集積回路プローブヘッド組立体18によって同時に検査されるコンタクトパッドのパターンまたはマトリックスを有する。典型的に、ICは、シリコンまたはガリウムヒ素のウェハ上のフォトリソグラフィによって形成された回路特性を有する多数のチップの1つである。試験後、チップは分離され、これは時に单一化と呼ばれる。プローブ装置18は、スペーサ24によって分離されかつ多数の垂直ピンプローブ26、28を支承する一列の第1の孔を有する第1のダイ20と一列の第2の孔を有する第2のダイ22とを含む。ダイ材料は、典型的に、Deron(登録商標)アセチル樹脂のような可塑性の絶縁材料から製造される。

【0013】

図2は、第1の配列の孔21の1つから突出するプローブ先端26aと、第2の配列の孔23の1つから突出するプローブヘッド26bとを含む代表的なプローブ26を示した拡大断面図である。垂直プローブピン26の反対側端部を収容す

る孔 21、23 は、互いに僅かにオフセットされ、またプローブピンは、僅かな垂直方向の不均一性または不整合にもかかわらず集積回路パッド 14a 上に実質的に均一な接触圧力を形成するように、スネークのような構造に曲げられて、座屈を容易にする。

#### 【0014】

図 1 に戻ると、スペーストランスフォーマ 29 は、その中に形成されたウェル 32 を有する装着ブロック 30 を含む。ウェルの底部には、プローブヘッド組立体 18 の露出ヘッド 26b によって画定される第 1 の小さな内部パターンに寸法的に対応するように、いくつかの孔 34 が配列される。プローブヘッド組立体 18 は、分かりやすくするためにスペーストランスフォーマ 29 から分離されて示されているが、実際の操作では、ねじ（図示せず）によってスペーストランスフォーマに接続される。

#### 【0015】

個々の絶縁ワイヤ 36 は、一方の端部で PCB トレース 12 に接続され、また他方の端部で、ワイヤは、プローブヘッド組立体 18 がスペーストランスフォーマ 29 にボルト締めされるときにブロック 30 の下側のプローブヘッド 26b と電気接触するように、装着ブロック 30 の孔 34 内に延在する。

#### 【0016】

スペーストランスフォーマ 29 は、ねじ 38 のような手段によって PCB ボードに取り付けられ、エポキシ注封材料 39 がワイヤ 36 を固定化する。プローブヘッド組立体 18 は、スペーストランスフォーマ 29 の下側にねじ（図示せず）によって取り付けられ、この結果、プローブヘッド 26b はワイヤ 36 との電気的接触を形成する。集積回路 14 は、機能試験の間にプローブ先端 26a と物理的に接触しつつ電気的に連続するいくつかの離間したコンタクトパッド 14a を有する。ダイ材料の熱膨張係数が実質的にシリコンウェハの熱膨張係数（約  $1.6 \times 10^{-6}$  インチ/インチ/°F、すなわち約  $2.8 \times 10^{-6}$  m/m/°K）と異なるならば、プローブ先端 26a は、試験温度の範囲にわたってコンタクトパッド 14a と接触しない可能性がある。

#### 【0017】

次に図3、図4、図5を参照すると、温度補償された改良垂直ピンプローブヘッド組立体は、参考番号40によって一般に示され、第1のダイ部材42と第2のダイ部材44とを含む。ダイは共に保持され、また周縁の周りに適切に配置された孔46を通過するねじまたは他の締結具（図示せず）によって、装着ブロック30（図1）に装着される。第1および第2のダイ部材42、44の各々は、それぞれアーチャ52、54をそれぞれ有するスペーサ部材48、50を含む。アーチャ52、54は、試験下のICに合致する任意の適切な形状であることが可能であり、典型的に長方形である。アーチャ52、54は、薄い誘電体シート56、58によってそれぞれ封止される。

#### 【0018】

スペーサ部材48、50は、回路基板を形成するシリコンの熱膨張係数に可能な限り近い熱膨張係数を有する基板コア材料から製作される。1つの好ましい材料はアンバーである。アンバーは、36%のニッケルの名目重量組成において、シリコンの熱膨張係数よりも僅かに小さい $1.0 \times 10^{-6}$ インチ/インチ/°F ( $1.8 \times 10^{-6}$  meter/meter/°K) の熱膨張係数を有する。熱膨張係数は、望むなら、関連技術で公知の合金のニッケルの割合を調整することによって、正確にシリコンの熱膨張係数と一致するように変更し得る (Silicon Modern Metallurgy for Engineers第2版299ページ)。他のCTEの低い金属および約 $4 \times 10^{-6}$ インチ/インチ/°F ( $7 \times 10^{-6}$  m/m/°K) 以内のCTE、シリコンのCTEを有する金属合金も使用することが可能である。

#### 【0019】

誘電体シート56、58は、約 $4 \times 10^{-6}$ インチ/インチ/°F ( $7 \times 10^{-6}$  m/m/°K) 内のCTE、シリコンのCTEを有する任意の剛性誘電体から形成され、試験温度の範囲にわたって構造的完全性を維持する。適切な材料には、セラミックと窒化ケイ素セラミックを有するガラスとが含まれ、(CTE =  $1.7 \times 10^{-6}$ インチ/インチ/°F ( $3.0 \times 10^{-6}$  m/m/°K) が最も好ましい。

#### 【0020】

関連技術で以前に公知のように、プローブピン64は、第1および第2のダイ部材42、44のスペーサ部材48、50によってそれぞれ支持された誘電体シート56、58内の離間かつオフセットされた孔60、62のパターンの間に延在する。プローブピン64の一方の端部は、配置されるプローブ先端64aに終端し、プリント回路テストボードに通じるワイヤ（例えば図1の36）との電気的接触を形成する。プローブピン64の対向端部は、試験下のウェハの検査時に公知の方法で孔62内で摺動するプローブ先端64bに終端する。

#### 【0021】

図3の線A-Aに沿った図4の断面図を参照すると、第1の誘電体シート56の周縁はスペーサ部材48の第1の表面65に装着され、また第2の誘電体シート58はスペーサ部材50の第1の表面67に装着され、この結果2つの誘電体シートは離間した関係で分離保持されることが理解される。第1の誘電体シート56は、レーザまたは他の適切な手段によって所定の第1の孔パターンで穿孔された複数の孔60を含む。第2の誘電体シート58は、小さな値、典型的に0.51mm(0.02インチ)のオーダで当該パターンが第1のパターンからオフセットされる点を除いて、レーザまたは他の適切な手段によって同一の所定のパターンで同様に穿孔された複数の孔62を含む。

#### 【0022】

寸法通りでない図5の拡大断面図を参照すると、スペーサ部材48のアパーチャ52は、第1の表面65のその周縁の周りで拡大されて、レッジ52aを設け、また同様の周縁レッジ54aがスペーサ部材50の第1の表面に設けられる。第1の誘電体シート56は、比較的薄く（名目0.25mm(0.01インチ)）、また第2の誘電体シートも比較的薄いが、第1のシートよりも典型的に厚く、好ましい名目厚さは0.51mm(0.02インチ)である。誘電体シート56、58はアパーチャ52、54にまたがるように装着され、エポキシまたは他の適切な手段のような高強度の剛性接着剤によって、レッジ52a、54aに接合される。

#### 【0023】

本発明によれば、我々は、窒化ケイ素セラミックが、改良垂直ピンプローブ装置

に使用される誘電体シート56、58に理想的に適していることを発見した。窒化シリコンセラミックは、高温における高い機械的強度、熱衝撃抵抗性および強靭さを提供し、ならびに低い摩擦係数を有し、アンチスティック材料を被覆する必要なしにプローブピンの摺動を可能にする。窒化ケイ素シートは、熱間プレスによって通常製造され、二相、アルファおよびベータの多結晶セラミックである。このシートは、 $1.7 \times 10^{-6}$  インチ/インチ/ $^{\circ}$  F ( $3.4 \times 10^{-6}$  meter/meter/ $^{\circ}$  K) の熱膨張係数を有し、これはシリコンの熱膨張係数よりも僅かに大きい。スペーサ部材48、50の熱係数はシリコンの熱係数よりも僅かに小さく、また窒化ケイ素の熱係数はシリコンの熱係数よりも僅かに大きいので、ダイ部材に使用される2つの材料は互いに協働して、ダイ部材の全体的な熱係数がシリコンウェハの熱係数に密に近似するようにさせる。

#### 【0024】

本発明の代替的実施態様が、図3、図4、図5にそれぞれ対応する図6、図7、図8に示されている。中実のアンバーのスペーサ部材を使用するよりむしろ、我々は、積層のアンバースペーサが、図3～図5に示したタイプの中実のアンバースペーサと比べて、容易な構造および性能の向上に関して相当の利点を提供することを確認した。

#### 【0025】

図6、図7、図8を参照すると、温度補償された代わりの垂直ピンプローブヘッド組立体は、参考番号66によって一般に示され、第1のダイ部材68と第2のダイ部材70とを含む。ダイは、前述したように、周縁の周りに適切に配置された孔72を通過するねじ(図示せず)によって共に保持される。第1および第2のダイ部材68、70は、それぞれアーチャ78、80がそれぞれ設けられた第1のスペーサ部材74と第2のスペーサ部材76とを含む。各アーチャ78、80は、図3～図5に関連して前述したのと同一であり得る薄い誘電体シート56、58によってそれぞれ覆われる。

#### 【0026】

スペーサ部材74、76は、アンバーホイルまたは他の適切なC.T.Eの金属ホイルからスペーサ部材を化学エッチングし、ラミネートを接着剤で共に接着するこ

とによって製作される。第1のスペーサ74はラミネート74a、74b、74c、74d、74eから成り、第2のスペーサ76はラミネート76a、76b、76c、76d、76eから成る。ラミネートまたはホイルは、ラミネート構造体と共に接合される。適切な接着剤は、熱および圧力下で噴霧されかつ接合する3M (Minneapolis, MN) の構造用接着剤#2290である。支持孔72は、中央孔またはアパーチャがラミネートにエッチングされるのと同時にエッチングしてもよく、これは、大幅に構造を容易にし、図3～図5の構造におけるような中実のアンバーを通した孔の穿孔を回避する。積層スペーサ74と76を製造するために使用されるアンバーホイルの適切な厚さは、10ミルである。これには、スペーサ製造のための典型的な用途で約4枚～6枚のホイルのスタックが必要である。

#### 【0027】

プローブピン64は、誘電体シート56、58内で離間かつオフセットされた孔60、62のパターンの間に延在する。プローブピン64の第1の端部は、配置されるプローブ先端64aに終端し、プリント回路テストボードに通じる36(図1)のようなワイヤとの電気的接触を形成する。プローブピン64の対向端部は、ウェハ14の検査時に公知の方法で孔62内で摺動するプローブ先端64bに終端する(図1)。

#### 【0028】

図6のラインB-Bに沿った図7の断面図を参照すると、第1の誘電体シート56はスペーサ部材74の第1の側面に装着され、また第2の誘電体シート58は、スペーサ部材76の第1の側面に装着され、この結果2つの誘電体シートは離間した関係で分離保持される。第1および第2の誘電体シート56、58は孔60、62のパターンを収容する。このパターンは、上述のように、誘電体シート58のパターンが誘電体シート56のパターンからオフセットされる点を除いて同一である。

#### 【0029】

図8の拡大断面図(寸法通りでない)を参照すると、プローブアセンブリの部分が示されている。最外側のラミネート層74aは、誘電体シート56を受容する

ための周縁リセスを設けるように、下層ラミネート層74b、74c、74d、74eよりも大きな開口部を設けるためにエッティングされる。最外側のラミネート76aは、ラミネート層76b、76c、76d、76eよりも大きな開口部でエッティングされ、誘電体シート58用のリセスを設ける。エッティング加工は、セラミックシートを保持するための周縁レッジを形成する場合、図3～図5に使用されるような中実のアンバーブロックスペーサを機械加工するよりも容易な方法である。誘電体シート56、58は、82、84において接着剤でリセスに保持される。適切な接着剤は、3M Structural Adhesive #2290または高強度の剛性エポキシである。好みの接着剤は、bステージエポキシのようなセルフレベリングの噴霧されたポリマ接着剤であるが、他の熱的に順応するポリマも使用可能である。

### 【0030】

したがって、得られるラミネートは、中実の金属部片から加工したならば不可能である形状を達成することができ、また他の場合に、これらの形状は、代わりの方法によって形成される形状と比べてより正確かつ容易に達成される。

### 【0031】

構造的強度および平坦度の向上は、アンバーホイルの隣接層を重ね合わせて回転式に整列することによって達成される。図9を参照すると、ラミネート層内に形成するためのホイル86の製造は、圧延機内の1対のロール90、92を通過させることによって、金属ストック88の厚さを低減することをしばしば含む。ロールにより、金属ストックの厚さは、1回以上の通過により所望のホイル厚さに低減される。金属ストック88は、すべての軸に沿って実質的に同一の長さである金属粒子94から形成される。圧延後、粒子96は圧延方向に対し長手方向の方向98に伸長される。圧延方向に対し横断方向100の粒子幅は、実質的に変化しない。この結果、ホイルは、それに付与される異方性特性を有する傾向があり、また長手方向の98方向に僅かにカールする傾向がある。各連続層が同一の粒子配向を有するようにホイル層がラミネートされるとき、カール傾向の効果が強められ、複合スペーサ部材の平坦度に対し有害な影響を及ぼす。

### 【0032】

連続したホイル層の配向を変更することにより、ホイルの非常に優れた平坦度および強度が得られる。図10に示したような1つの好ましい配向は、粒子配向矢印98、100によって示されるように、各隣接層の配向が隣接層から90°オフセットされるように、交互のホイルラミネート層74a、74b、74c、74dを隣接ホイル層に対して90°回転することである。約10°～45°の範囲にわたって交互のホイル層を回転するような他の配向も許容し得る。各ホイル層が各隣接層に対してオフセットされる必要はなく、少なくとも1つのホイルラミネート層のみがホイルラミネート層の他の層に対してオフセットされる。

#### 【0033】

図11は、本発明によるアンバーダイを製造するためのプロセスフローを示している。特徴部は、例えば化学エッチングによって複数のダイラミネート層内に形成される。ホイルエッチングは特徴部が適切な寸法であること、およびホイルがエッチング時に破損していなかったことを確認するために102で点検される。第1のダイラミネート層は、104で、例えば切断によってホイルから取り除かれる。次に、この第1のダイラミネート層は、106でHFC（ヒドロフルオロカーボン）溶剤のような適切な溶剤内で脱脂される。エポキシのような接着層は、108で第1のダイラミネート層に噴霧され、次に110で炉内で加熱することによって部分的に硬化され、これはbステージングと呼ばれる。

#### 【0034】

次に、残りのダイラミネート層は、112でホイルから分離され、脱脂され、また接着層で被覆される。ダイラミネート層は、114で適切に整列するために取付け具の中で組み立てられ、次に116で、熱および圧力の下でラミネートすることによってダイが形成される。積層のダイフレームは、118で平坦度について点検される。一般に、1cm当たり0.0002cm（1インチ当たり0.002インチ）未満の偏差が必要とされる。

#### 【0035】

最外側のダイラミネート層の周縁は、120で例えばプレータのテープでマスクされ、レッジは122で接着剤で噴霧される。この接着剤は、部分的に硬化され、124で炉内でbステージングされ、また126で、レッジによって支持さ

れたアーチャにまたがるように、窒化ケイ素シートが挿入される。アセンブリは、128で加熱によって硬化され、シートをレジに接着接合する。次に、一列の孔が、例えばレーザ穿孔によってシート内に形成される。

#### 【0036】

本発明の操作は、次のように記述することが可能である。アンバー材料は、シリコンの熱膨張係数よりも僅かに低いが、実質的にそれに整合する熱膨張係数を有するので、アンバーダイは、シリコンウェハの膨張に寸法的に対応するように実質的に膨張する。したがって、誘電体シートおよび孔の中央線の位置は、シリコンウェハ上のコンタクトパッドに従って配置され、シリコンウェハの膨張および収縮に従う。

#### 【0037】

誘電体シートは、シリコンウェハおよびスペーサ部材よりも僅かに高い熱膨張係数で、それら自体の中央線の周りで拡張し、また収縮することが可能である。しかし、インサートは接着剤によって抑止され、ウェハの面に対し垂直方向にのみ膨張することが許される。したがって、絶縁されたインサートの熱膨張係数は、シリコンウェハの熱膨張係数よりも僅かに大きいことがあるという事実にもかかわらず、大きな温度範囲にわたってウェハコンタクトパッドとプローブ点との間に大きな不整合を引き起こさない。好ましいセラミック材料によって付与される潤滑性は、アンチスティック被覆を必要とすることなくプローブピンの摺動を可能にする。

#### 【0038】

本発明の好ましい実施態様およびその1つの修正であると考えられるものについて記述してきたが、他の修正が当業者に思い浮かび、また本発明の真の精神と範囲内に含まれるものとして、このような修正のすべてを添付の特許請求の範囲に確認することが望まれる。

#### 【図面の簡単な説明】

#### 【図1】

従来技術から公知の垂直ピンプローブ装置の断面図である。

#### 【図2】

図1の垂直ピンプローブ装置のダイ部分の拡大断面図である。

【図3】

垂直ピンプローブ装置に使用するための本発明によるダイの頂面図である。

【図4】

図3のダイの断面図である。

【図5】

図3のダイ部分の拡大断面図である。

【図6】

垂直ピンプローブ装置に使用するための本発明の代替実施態様によるダイの頂面図である。

【図7】

図6のダイの断面図である。

【図8】

図6のダイ部分の拡大断面図である。

【図9】

従来技術から公知のように、圧延時に金属ストリップが異方性の粒子構造を獲得する方法の概略図である。

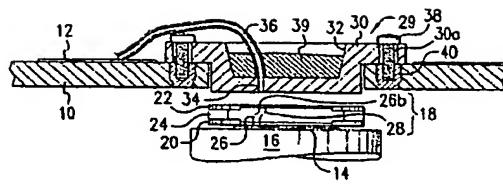
【図10】

本発明の実施態様による粒子構造に従って配向されたダイラミネート層の斜視図である。

【図11】

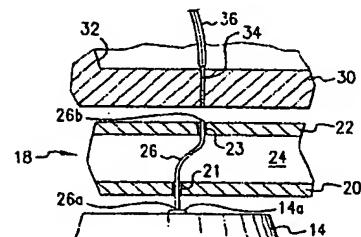
図6のダイに使用するためのダイフレームを製造するための方法のブロック図である。

【図1】



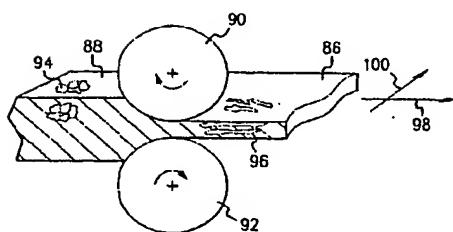
(従来技術)

【図2】



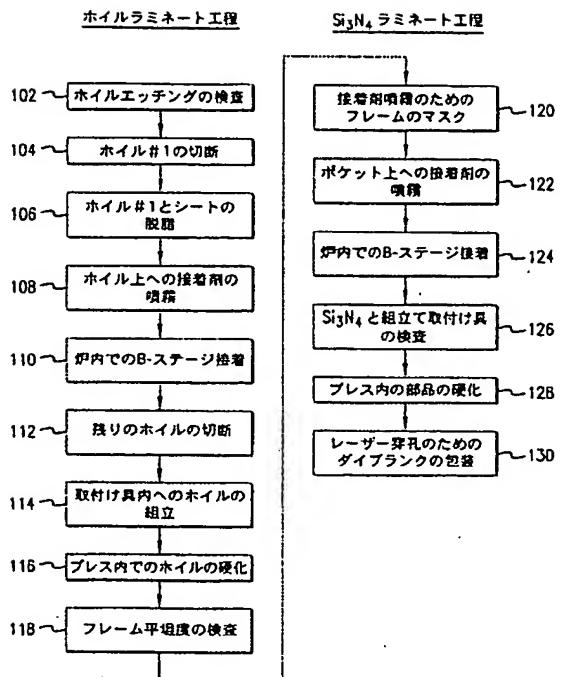
(従来技術)

【図9】



(従来技術)

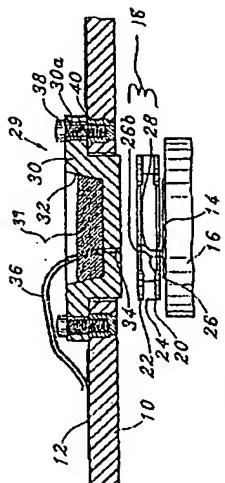
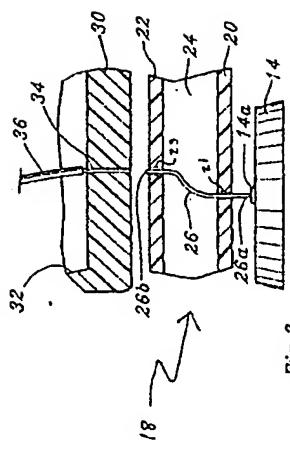
【図11】



WO 02/061443

PCT/US02/01722

1/5

Fig. 1  
Prior ArtFig. 2  
Prior Art

WO 02/061443

PCT/US02/02722

2/5

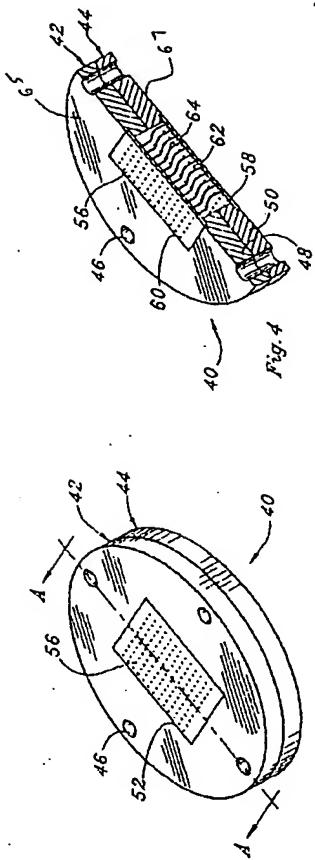
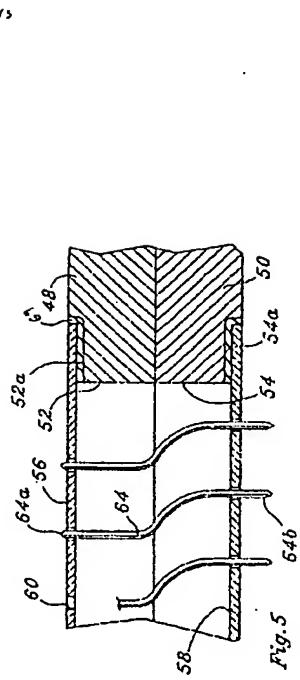


Fig. 3



2/5

Fig. 5

WO 02/061443

PCT/US02/01722

3/5

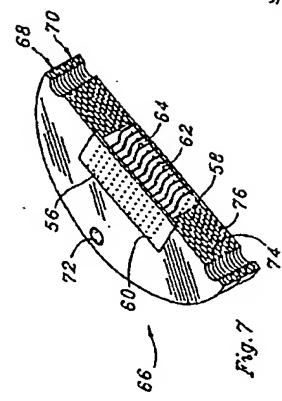


Fig. 7

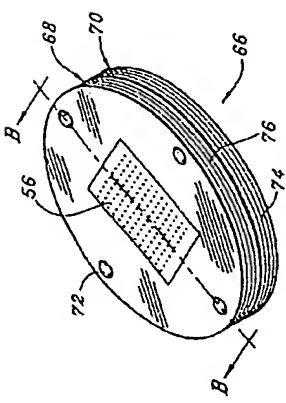


Fig. 6

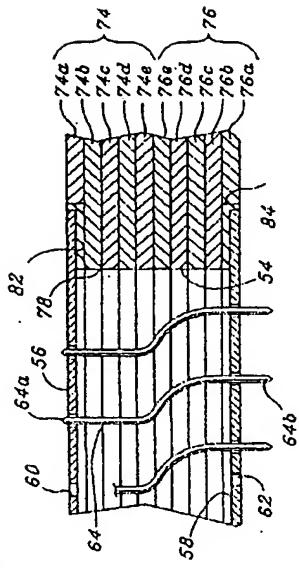


Fig. 8

WO 02/061443

PCT/US02/01722

4/3

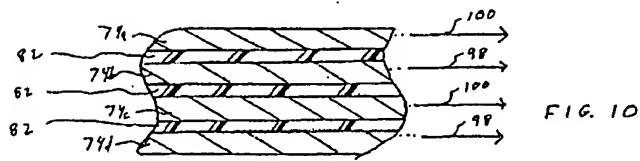
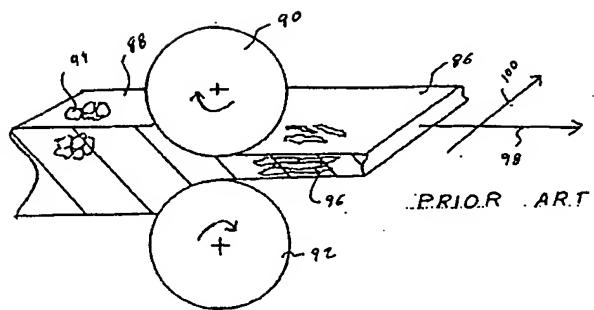
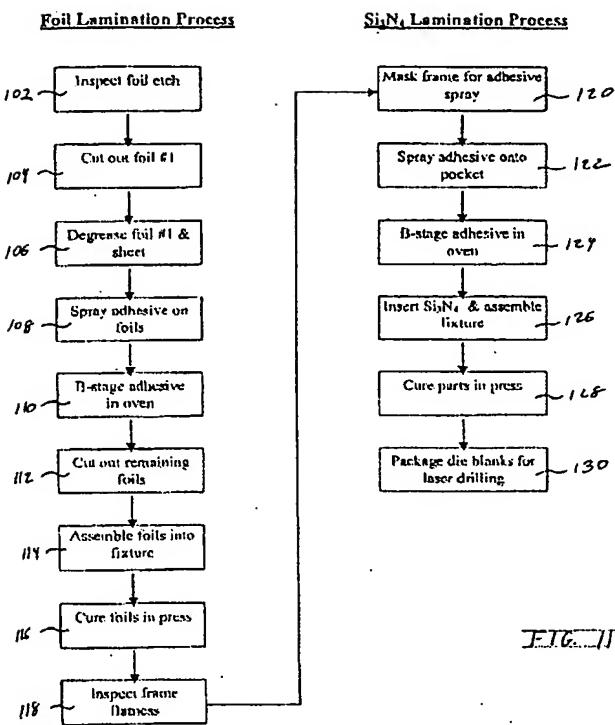
FIG. 9

FIG. 10

WO 02/061443

PCT/US02/02722

5/5



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		
		PCT/USA2004/02101
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> (IPC): <b>C08B 37/00</b> US CL: <b>264/244.201</b> According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : <b>264/244.201, 264/244.202</b>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Classification of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6,163,162A (THIESSEN ET AL) 19 DECEMBER 2000 (12/12/00) all	
<input type="checkbox"/> Further documents are listed in the continuation of Part C <input type="checkbox"/> See patent family names		
* Special categories of cited documents -A: Document which has been cited as a reference to be of potential relevance -B: Another document published on or after the International filing date, this document which has three days or greater claimed or which is cited to establish the publication date of another document or other special reason (as specified) -C: Document, reference to an end document, an addition or other document which has been cited as a reference to be of potential relevance -D: Document published prior to the International filing date but later than the priority date cited		
Date of the actual completion of the international search <b>16 APRIL 2005</b>		Date of mailing of the international search report <b>20 MAY 2005</b>
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks One PCT Washington, D.C. 20231 Facsimile No. (202) 323-6930		Authorized officer <b>VINH P. NGUYEN</b> Telephone No. (202) 323-6934

Form PCT/ISA/210 (second sheet) (July 1999)

フロントページの続き

(81) 指定国 EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, L, C, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW

(72) 発明者 マクエイド、フランシス、ティー

アメリカ合衆国 コネチカット、ウォータータウン、カルーン ドライブ 99

(72) 発明者 クキエルカ、ズビグニュー

アメリカ合衆国 コネチカット、ブレインヴィル、ファーミントン アヴェニュー 39、ビー  
ー 2

(72) 発明者 シーセン、ウイリアム、エフ

アメリカ合衆国 コネチカット、ニュータウン、カリタック ロード 103

(72) 発明者 エヴァンス、スティーブン

アメリカ合衆国 コネチカット、ニュータウン、オールド パーディ ステイション ロード  
11

F ターム(参考) 2G011 AA17 AB06 AB08 AE03 AF07

2G132 AA00 AB01 AB14 AF00

4M106 AA01 BA01 CA01 DD03 DD06 DD09 DD10